

(19)日本国特許庁 (JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表平8-509091

(43)公表日 平成8年(1996)9月24日

(51)Int.Cl.
G 11 C 16/02識別記号
9176-5LF I
G 11 C 17/00

S 07 C

(21)出願番号 特願平7-521270
 (36) (22)出願日 平成7年(1995)2月2日
 (35)翻訳文提出日 平成7年(1995)10月6日
 (36)国際出願番号 PCT/US95/01437
 (37)国際公開番号 WO95/22144
 (38)国際公開日 平成7年(1995)8月17日
 (31)優先権生産番号 194, 930
 (32)優先日 1994年2月9日
 (33)優先権主張国 米国(US)
 (34)指定国 EP(AT, BE, CH, DE,
 DK, ES, FR, GB, GR, IE, IT, LU, M
 C, NL, PT, SE), CN, DE, GB, JP, K
 R

(71)出願人 アトヌル・コーポレイション
 アメリカ合衆国, 95131 カリフォルニア
 州, サン・ホゼイ, オウニール・ドライ
 ブ, 2125
 (72)発明者 パトハック, サロジ
 アメリカ合衆国, 94022 カリフォルニア
 州, ロス・アルトス・ヒルズ, ロブリー
 ダ・ロード, 12008
 (72)発明者 バイン, ジュイムズ・イー
 アメリカ合衆国, 95005 カリフォルニア
 州, ボルダー・クリーク, ブルック・レ
 ーン, 125
 (74)代理人 办理士 深見 久郎 (外3名)

(54)【発明の名称】 ゼロ電力高速プログラマブル回路装置アーキテクチャ

(57)【要約】

不揮発性低電力およびゼロ電力高速セルフセンスプログラマブル装置およびアーキテクチャは、不揮発性セルフセンスセル(110)を含む。不揮発性セルフセンスセル(110)は、プログラマブル装置の速度経路から外れて接続され、それによって、高速で不揮発性のプログラミング動作および読出動作を行なうことができるようになる。一実施例に従えば、2つのセルフセンスセルには、プログラミングまたは読出動作のためのセルのうちの1つを選択するための手段が付けられる。各不揮発性セルフセンスセルは、交差結合されたブルアップトランジスタ(112, 114)および不揮発性ブルダウンセル(116, 118)を有するラッチを含む。交差結合されたブルアップトランジスタ(112, 114)は、そのゲートが、交差結合されたブルアップトランジスタの互いのソースに接続される電界効果トランジスタである。

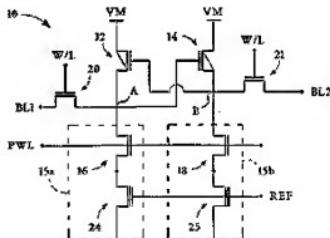


FIG. 1A

【特許請求の範囲】

1. 不揮発性プログラマブル回路であって、

(a) ビット線情報の適用を制御するためのラッチ手段を備え、前記ラッチ手段は第1、第2、第3および第4の端子を含み、

(b) 各々が第1の端子を有し、前記ラッチ手段の前記第1および第2の端子にそれぞれ接続される第1および第2の不揮発性セルをさらに備え、前記第1および第2の不揮発性セルの各々は、基準電位に接続される第2の端子を有し、

(c) 前記ラッチ手段の前記第1および第2の端子をそれぞれ第1および第2のビット線に選択的に接続するための第1および第2の手段をさらに備え、それによって前記第1および第2の不揮発性セルにおいてビット線情報をやり取りしつつ確保することができ、

(d) 前記基準電圧に関する複数の選択可能な電圧レベルを与えるための電圧端子手段とをさらに備え、前記複数の選択可能な電圧レベルはゼロ以外の値を有し、前記ラッチ手段の前記第3および第4の端子は、前記電圧端子手段との電気的な接続を有し、

前記ラッチ手段は第1および第2のトランジスタを含み、前記トランジスタの各々は第1の端子、第2の端子および制御ゲートを含み、前記第1および第2のトランジスタの前記第1の端子は前記ラッチ手段の前記第1および第2の

端子にそれぞれ結合され、前記制御ゲートは前記第1および第2のトランジスタの前記第1の端子とそれぞれ交差結合され、前記第1および第2のトランジスタの前記第2の端子は前記ラッチ手段の前記第3および第4の端子にそれぞれ結合される、不揮発性プログラマブル回路。

2. 前記第1および第2の交差結合されたブルアップトランジスタはpチャネル電界効果素子である、請求項1に記載の不揮発性プログラマブル回路。

3. 前記第1および第2の不揮発性セルはnチャネルトランジスタを備える、請求項1に記載の不揮発性プログラマブル回路。

4. それぞれ選択的に接続するための前記第1および第2の手段は第1および第2のゲートで駆動されるトランジスタを含み、前記第1および第2のゲート駆

動トランジスタは、前記第1および第2のゲート駆動トランジスタに与えられるゲート信号に応答して、前記第1および第2の端子を対応する第1および第2のビット線に接続するのに効果的である、請求項1に記載の不揮発性プログラマブル回路。

5. 前記第1および第2の不揮発性セルは、制御ゲート端子を含む電界効果トランジスタを含み、前記制御ゲート端子は共通の制御信号を受け取るよう接続される、請求項1に記載の不揮発性プログラマブル回路。

6. 前記第1および第2の不揮発性セルはそれぞれ第1

および第2のフローティングゲートトランジスタを含む、請求項1に記載の不揮発性プログラマブル回路。

7. 前記不揮発性プログラマブル回路は、ゼロ電力論理ゲートのアレイとして実現される、請求項1に記載の不揮発性プログラマブル回路。

8. 不揮発性プログラマブル論理回路であって、

(a) それぞれ第1および第2の端子を有する第1および第2のラッチトランジスタを備え、前記第1および第2の端子は電圧源に接続され、

(b) 前記第1および第2のラッチトランジスタにそれぞれ接続される第1および第2の不揮発性ブルダウンセルをさらに備え、前記第1および第2のラッチトランジスタはそれぞれ、前記第1および第2の不揮発性セルがそれぞれ電気的に接続される第3および第4の端子を含み、前記第1および第2のラッチトランジスタは電界効果トランジスタであり、前記第1および第2のラッチトランジスタの各々は制御ゲートを有し、前記第1および第2のラッチトランジスタの前記制御ゲートはそれぞれ前記第4および第3の端子に接続され、前記第2の不揮発性ブルダウンセルは接地に接続され、

(c) 前記第3の端子を入力ビット線に選択的に接続するための手段をさらに備え、これによって前記第1の不揮発性ブルダウンセルにおいてビット線情報をやり取りすることができかつ確保することができる、不揮発性プログラマブル論理回路。

9. 前記第1および第2のラッチトランジスタはpチャネル素子である、請求項8に記載の不揮発性プログラマブル論理回路。

10. 前記第1および第2の不揮発性ブルダウンセルの各々は、直列の選択トランジスタおよびフローティングゲートトランジスタを含む、請求項8に記載の不揮発性プログラマブル論理回路。

11. 前記第3の端子を選択的に接続するための前記手段はゲートで駆動されるトランジスタを含み、前記ゲート駆動トランジスタは、前記ゲート駆動トランジスタに与えられるゲート信号に応答して前記第3の端子をピット線に接続するのに効果的である、請求項8に記載の不揮発性プログラマブル論理回路。

12. 前記第2の不揮発性ブルダウンセルは制御ゲート端子を含む電界効果トランジスタであり、前記制御ゲート端子は前記第3の端子に接続され、それによって前記論理回路に対する電力の要件が低減される、請求項8に記載の不揮発性プログラマブル論理回路。

13. 前記不揮発性プログラマブル論理回路はゼロ電力論理ゲートのアレイとして実現される、請求項8に記載の不揮発性プログラマブル論理回路。

14. 不揮発性プログラマブル回路であって、

(a) 論理情報をストアするための第1および第2の

不揮発性セル手段を備え、前記第1および第2の不揮発性セル手段はそれぞれ、第1および第2のラッチトランジスタにそれぞれ接続される第1および第2の不揮発性ブルダウントランジスタを含み、前記第1および第2のラッチトランジスタはそれぞれ、前記第1および第2の不揮発性ブルダウントランジスタがそれぞれ電気的に接続される第1および第2の端子を含み、前記第1および第2のラッチトランジスタの各々は制御ゲートを有し、前記第1および第2のラッチトランジスタの前記制御ゲートはそれぞれ前記第2および第1の端子に接続され、前記第1および第2のラッチトランジスタは第3および第4の端子を有し、前記第3および第4の端子は電圧源に接続され、

(b) 前記第1および第2の不揮発性セル手段を1つのセンスピット線に接続するピット線トランジスタ手段をさらに備え、前記ピット線トランジスタ手段

は、前記第1および第2の不揮発性セル手段の両方に接続される制御ゲートを含み、

(c) 前記ビット線トランジスク手段の前記制御ゲートと前記第1および第2の不揮発性セル手段とをそれぞれ遮断可能に接続するための選択手段をさらに備え、前記選択手段は、前記ビット線トランジスク手段の前記制御ゲートとのやり取りのために前記第1および第2の不揮発性セル手段のうちの一方を選択するのに効果的である、不揮発性プログラマブル回路。

15. 不揮発性プログラマブル回路であって、

(a) 情報をストアしかつやり取りするための第1および第2の不揮発性セルフセンスセル手段と、

(b) 前記第1および第2の不揮発性セル手段から情報を受け取るための1つのビット線手段と、

(c) 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段のうちの一方を選択するための選択手段と、

(d) 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段のうちの一方にストアされた情報をセンスするためのスイッチ手段とを備え、前記スイッチ手段は第1および第2の端子と制御ゲートとを含み、前記制御ゲートは前記選択手段に接続され、前記1つのビット線手段は前記第1の端子に接続され、それによって、前記第1および第2の不揮発性セルフセンスプログラマブルセル手段のうちの選択された1つが前記1つのビット線手段によってセンスされる、不揮発性プログラマブル回路。

16. 前記第1および第2の不揮発性セル手段をプログラミングするための手段をさらに備える、請求項15に記載の不揮発性プログラマブル回路。

17. 前記プログラミングのための手段は前記ビット線手段に接続される、請求項16に記載の不揮発性プログラマブル回路。

18. 前記ビット線手段は第1および第2のビット線を

含む、請求項15に記載の不揮発性プログラマブル回路。

19. 前記第1および第2の不揮発性セル手段は、前記第1のビット線からプログラミングされ、かつ、前記第2のビット線から読出される、請求項1-8に記載の不揮発性プログラマブル回路。

20. 前記不揮発性プログラマブル回路はゼロ電力論理ゲートのアレイとして実現される、請求項1-5に記載の不揮発性プログラマブル回路。

【発明の詳細な説明】**ゼロ電力高速プログラマブル回路装置アーキテクチャ****技術分野**

本発明は、不揮発性低電力プログラマブル半導体回路装置の分野に関する。

背景技術

多くの種類のプログラマブル回路装置が周知である。そのようなプログラマブル回路装置は、典型的には、ストアしかつ処理すべき情報を受け取るための1つまたは複数の入力を有する。情報処理は、選択されたビット線で出力を生成するように選択された論理演算を行なうことを含み得る。プログラマブル回路装置は、複数の入力線および複数の出力ビット線を有するアレイとして相互接続され得る。達成すべき論理機能を決定する相互接続は、前もって配線を行なうか、または、後の動作時間に決定することができる。

論理動作が行なわれ得る情報は、当業者に周知の、選択されたセルにストアされる。処理すべき情報をストアするセルは、揮発性であっても不揮発性であってもよい。セルが揮発性である場合、セルの状態または情報内容は、電力の損失または故障が生じると損失してしまい、これを再び戻すことはできない。セル中の情報は、周知のセンス技術に従ってセンスまたは検索することができる。しかし、残念なことに、これらの周知の技術では、センス動作を行な

うのに必要な電流のため、過度の電力を消費してしまう。

したがって、本発明の目的は、過度の電力を消費する従来のセルのセンス動作という性能を必要とせずに論理情報出力を生成できるセルフセンスセルに依存する低電力またはゼロ電力の高速動作のための回路アーキテクチャを提供することである。

本発明の別の目的は、プログラマブルメモリとプログラマブル論理装置およびアレイとを含むがこれに限られないプログラマブル回路装置の電力消費を低減させながら速度を増加させることである。

本発明のさらに別の目的は、セル電流能力に依存しないプログラマブル装置を提供することである。

発明の概要

上述の目的は、ここに記載する本発明に従った不揮発性セルフセンスセルアーキテクチャにおいて達成されている。

本発明の一局面に従えば、各セルフセンスセルは、ブルアップ装置として第1および第2の交差結合された（たとえば、pチャネル）ラッチトランジスタを有し、かつ第1および第2の不揮発性ブルダウンサブセルを有する交差結合されたラッチを含む。セルフセンスセルの不揮発性サブセルは、入力ビット線に与えられた入力情報をストアするために用いられる。情報は、特に、フローティングゲートトランジスタの各サブセルにストアされる。ブルダウンサブセルのフローティングゲートトランジスタがnチャネルデプ

レッション装置である場合、不揮発性サブセルは、サブセルが接続される交差結合されたラッチの対応するブルアップトランジスタとの接続用のブルダウン遷移トランジスタをさらに含む。フローティングゲートトランジスタがnチャネルエンハンスマント装置である場合、ブルダウンセルにそのような別のブルダウントランジスタは必要でない。

不揮発性サブセルは、交差結合されたラッチの第1および第2の接続端子で、交差結合されたラッチトランジスタにそれぞれ結合される。ラッチトランジスタの交差結合は、第2の交差結合トランジスタのゲートを第1の接続端子に接続することによって行なわれる。さらに、第1の交差結合トランジスタのゲートは、第2の交差結合トランジスタと第2の不揮発性サブセルとの間で第2の接続端子に接続される。

ここに記載する本発明の不揮発性セルフセンスセルは、入力情報を受け取るかまたは出力情報を生成するための少なくとも1つのビット線に接続される。情報が特定の不揮発性セルによって受け取られると、これはこの不揮発性セルがプログラミングされたといわれる。代替的には、不揮発性セルは、2つのビット線のいずれかによって読出すため、またはプログラミングするために、2つのビット線に接続されてもよい。代替的には、一方のビット線をプログラミングのために用い、他方のビット線を特定の不揮発性セルを読出すために用いることができる

。2つのビット線

がともに特定のセルを読み出すために用いられる場合、一方のビット線は特定のサブセルに対してその情報内容にアクセスすることができ、他方のビット線は他のサブセルにアクセスする。ブルアップトランジスタをクロスラッチすることにより、サブセルは確定的に反対側でプログラミングされる。したがって、2つのビット線を用いることによって差分出力を受け取ることができる。

本発明の別の局面に従えば、本発明に従った1対の不揮発性セルフセンスセルの選択された方のセルは、選択され出力ビット線の状態を制御するビット線トランジスタのゲートを駆動するのに効果的である。グループ中の不揮発性セルのうちの1つを選択できるようにするために、2つの不揮発性セルはそれぞれ第1および第2の入力線に接続される。そのようなセルフセンスセル対からなる複数個のグループを1つのビット線に接続すると、ORゲート接続が効果的に確立される。

図面の簡単な説明

図1Aは、本発明に従った交差結合されたラッチを含む不揮発性セルの第1の実施例を示す図である。

図1Bは、本発明に従った交差結合されたラッチを含む不揮発性セルの第2の実施例を示す図である。

図2は、1つのビット線に接続され、トランジスタの数を減らした、本発明に従った不揮発性セルの変形例を示す図である。

図3は、本発明に従った不揮発性セルの別の変形例を示す図である。

図4は、本発明に従った不揮発性セルを複数個配置したマルチセル構成を示す図である。

図5は、本発明に従った、選択されたセルのプログラミングを可能にするためのトランジスタをさらに含む、図4の構成を示す図である。

図6は、本発明に従ったプログラマブル回路装置の選択されたセルのプログラミングを可能にする、図5の構成の変形例を示す図である。

発明を実施するための最良モード

図1Aは、そのソースがそれぞれ電源としての複数の電圧VMに接続された第1および第2のラッチ（たとえば、pチャネルエンハンスメント）ブルアップトランジスタを含む、本発明に従ったセルフセンス不揮発性セル10を示している。VMは、プログラミングのために、VCC、またはより高いレベル、たとえばVPPを含む選択された電圧に設定することができる。図1Aに示すように、ブルアップトランジスタ12および14は、それぞれの制御ゲートをそれぞれ端子ノードAおよびBで互いのドレインに電気的に接続することによって、ラッチとして交差結合される。図1Aに示す本発明の一実施例に従えば、端子ノードAおよびBはそれぞれ、（たとえば、nチャネルエンハンスメント）ブルダウントランジスタ16および18をそれ

ぞれ含む不揮発性サブセル15aおよび15bに接続される。図1Bからわかるように、代替的には、端子ノードAおよびBの各々を、ブルダウントランジスタ16および18を必要とせずに、單一のトランジスタからなるセルに直接接続することができる。

図1Aはさらに、端子ノードAおよびBとビット線BL1およびBL2とにそれぞれ接続される第1および第2のエンハンスメントトランジスタ20および21を含むセルフセンス不揮発性セル10を示している。エンハンスメントトランジスタ20および21は、ワード線W/Lによってクロックされる。不揮発性サブセル15aおよび15bはそれぞれ、ブルダウントランジスタ16および18にそれぞれ直列に接続される第1および第2のフローティングゲートnチャネルデプレッショントランジスタ24および25を含む。特に、フローティングゲートトランジスタ24のドレインは、ブルダウントランジスタ16のソースに接続される。さらに、フローティングゲートトランジスタ25のドレインは、ブルダウントランジスタ18のソースに接続される。ブルダウントランジスタ16および18のドレインは、それぞれ、端子ノードAおよびBに接続される。クロックされると、不揮発性セル10は、端子ノードAおよびBのそれぞれのビット線BL1およびBL2で読み出され得るまたはプログラムされ得る。

不揮発性サブセル15aは、ワード線W/Lおよびビット

ト線BL1を電圧レベルVCCに設定しつつビット線BL2をゼロに設定することによりプログラミングされる。ビット線BL1からの情報は、プログラミングワード線PWLを5ボルトでVCCに設定することによってラッチすることができる。一旦ビット線BL1からの情報がサブセル15aにストアされると、特にフローティングゲートトランジスタ24で、電源電圧VMはより高い電圧レベルVPPに押上げられる。プログラミングワード線PWLもハイであるVPPに設定される。したがって、端子ノードAはVPPとなり、端子ノードBは接地のままである。つまり、このプログラミングアプローチに従えば、クロスラッチされたブルアップトランジスク12および14の動作によって、一方の不揮発性セル15aはプログラミングされ、他方の不揮発性セル15bは相補状態に設定される。したがって、フローティングゲートトランジスタ24がハイに設定されると、フローティングゲートトランジスク25はローにラッチされる。

プログラミングワード線PWLを、VCCおよびREF未満であって活性化に十分な選択された定電圧レベルに設定することによって、不揮発性サブセル15aを読出すことができる。したがって、ワード線W/Lを5ボルトに設定することによって不揮発性サブセル15aにアクセスすることができ、これにより、ビット線BL1およびビット線BL2の両方でデータを読出すことができ、差分出力を

生成することができる。

図1Bは、ブルガウントランジスク16および18を削除した、本発明の別の実施例を示している。これは、nチャネルデプレッショントランジスクではなくnチャネルエンハンスマントフローティングゲートトランジスク24および25を用いることによって行なうことができる。したがって、フローティングゲートトランジスク24および25を、ワード線PWLを直接プログラミングすることによってそれぞれのゲートで駆動することができる。その他の点に関しては、図1Bの回路およびその一般的な動作は、図1Aの回路と同様である。

図2は、1つのビット線B/Lに接続されかつトランジスタの数を減らし、1つの不揮発性サブセル15だけがブルダウントランジスタ16およびフローティングゲートトランジスタ24を含む、本発明に従った不揮発性セル10の変形例を示している。特に、図2は、それぞれのソースがVMに接続される第1および第2のpチャネルエンハンスマントブルアップトランジスタ12および14を含む不揮発性セル10を示している。代替的に、デプレッショニチャネルトランジスタを用いてもよい。ブルアップトランジスタ12および14は、それぞれ端子ノードAおよびBでそれぞれの制御ゲートを互いのドレインに電気的に接続することによって、ラッチとして交差結合される。端子ノードAはブルダウントランジスタ16に接続される。端

子ノードBは、ブルダウンエンハンスマントトランジスタ18のドレインに接続される。

図2はさらに、ノードAに接続される1つのエンハンスマントトランジスタ20を含む不揮発性セル10を示している。不揮発性セル10は、ブルダウントランジスタ16に接続されるnチャネルデプレッショニフローティングゲートトランジスタ24をさらに含む。さらに、フローティングゲートトランジスタ24のドレインはブルダウントランジスタ16のソースに接続され、ブルダウントランジスタ16のドレインは端子ノードAに接続される。ブルダウントランジスタ18の制御ゲートはさらに端子ノードAに接続され、そのソースは接地される。エンハンスマントトランジスタ20は、ワード線W/Lによってクロックされる。クロックされると、不揮発性セル10はノード端子Aでビット線B/Lに接続される。不揮発性サブセル15は、値VCCを有するようにワード線W/Lおよびビット線B/Lを選択することによってプログラム可能である。プログラミングワード線PWLを5ボルトでVCCに設定することによって、データをビット線B/Lから不揮発性サブセル15にラッチすることができる。一旦B/Lからブルダウントランジスタ16にデータがラッチされると、VMはVPPに押上げられる。プログラミングワード線PWLもハイであるVPPに設定される。したがって、ノード端子AはVPPになる。つまり、このプログラミングアプロ

一チに従えば、フローティングゲートトランジスタ24がプログラミングされる。不揮発性サブセル15は、正のワード線PWLをVCCおよびREF未満であって選択された定電圧レベルに設定することによって読出することができる。ワード線W/Lを5ボルトに設定することによって不揮発性サブセル15にアクセスすることができ、これによって、データをビット線B/Lで読出することができる。2つのビット線に沿って差分出力が必要でない場合、図2の構成是有用である。

図3は、ワード線W/Lがプルダウントランジスタ16および18を制御する、本発明に従ったセルフセンス不揮発性セル10の第2の変形例を示している。プルアップトランジスタ12および14は図1Aおよび図1Bのように接続されたままであり、プルダウントランジスタ16および18は以前と同様にそれぞれプルアップトランジスタ12および14に接続される。さらに、フローティングゲートトランジスタ24がプルダウントランジスタ16のソースに接続される。この変形例における不揮発性セル10では、トランジスタ16および18のゲートはワード線W/Lに接続されかつこのワード線W/Lによって駆動される。さらに、プルダウントランジスタ18のソースは接地される。したがって、ビット線B/Lは、ワード線W/L上の制御信号に従って読出およびプログラミングを行なうために、フローティングゲートトランジスタ24に接続される。

この図示した変形例のフローティングゲートトランジスタ24は、nチャネルデプレッショントランジスタである。代替的には、pチャネルエンハンスマントフローティングゲートトランジスタ24を用いることによってプルダウントランジスタ16を削除してもよい。

プルアップトランジスタ12および14をラッチすることによって、読出動作およびプログラミング動作をより低電力で行なうことができるという効果を得ることができる。トランジスタ12がオンである場合にトランジスタ14を遮断し(およびその逆)、プルアップトランジスタ14およびプルダウントランジスタ18の制御ゲートを接続することによって、図2に示すように、電力の要件をさらに低減してゼロ電力の構成を得ることができる。

図4は、本発明に従った8つの不揮発性セルセンスセル10の不揮発性マルチセル構成40を示している。マルチセル構成40は、ゼロ電力のセルのみを用いるかどうかに依存して、ゼロ電力または低電力である。不揮発性セル10は対にされるかまは多重化され、いかなる所与の時間にもセルセンスセルSSC1およびSSC2のうちの一方だけが選択される。多重化されたセルのさらなる対は、SSC3、SSC4:SSC5、SSC6:およびSSC7、SSC8を含む。図4に示すマルチセル構成40は、セル10からなるそのような対の4つのグループを含む。多重化されたSSCセルからなる各グループは、1つのビット

線BLに間連する1対の入力線をさらに含む。いかなる所与の時間にもこれらの2つの入力線のうちの一方のみがアサートされ、対にされた2つのセル10の1組が選択される。マルチセル構成40のセル10の第1のグループは、たとえば、入力線IT1およびIT1%、ビット線BL1、第1および第2の不揮発性セルセンスセル10、SSC1およびSSC2、第1および第2の入力線選択トランジスタ43および44、ならびにビット線トランジスタ45を含む。

したがって、図4の8つのセルからなる構成になると、いかなる所与の時間にもセル10の各対のうちのどれがアサートされるべきであるかを選択するための2対の入力線が得られる。入力線は、IT1、IT1%、IT2およびIT2%を含む。IT1およびIT1%は、相補信号を伝えていかなる所与の時間にも入力線選択トランジスタ43および44のうちの一方だけが確実に選択されるようになる、入力線の第1の対を形成する。IT2およびIT2%は、別の対グループからのセルセンスセル10の選択を制御するのに効果的な、入力線の第2の対を形成する。IT1がハイであるとき、SSC1からのデータによって、セルSSC1の論理状態に依存して、そのグループのトランジスタ45がオンまたはオフにされる。したがって、図4に示す構成40では、ビット線BL1およびBL2上の積項が、入力線対IT1、IT1%およびIT2、IT2

%の選択によって制御される2つのセル10から得られた入力項に基づいて第1および第2の論理OR機能を実現し得る。代替的には、構成40は、ゼロ電力論

理ゲート、すなわち、AND、NAND、OR、NOR、XOR、XNOR、XAND、およびXNANDを含むゲート、または複雑なゲート構成を含む他の種類のゲートのCMOS論理アレイの一部分として接続されてもよい。ビット線45は、好ましくは、速度を最大にするために高速単極トランジスタである。セル10がそれぞれのトランジスタ45の論理状態を決定する場合でも、セルフセンスセルSSC1～SSC8はマルチセル構成40の速度経路から切り離される。

図5は、マルチセル構成40において選択されたセルフセンスセル10のプログラミングを可能にするためのプログラミングトランジスタ50および51をさらに含む図4の構成を示す。たとえば、トランジスタ50は、入力プログラミング信号P(a1)のゲート制御下でビット線BL1とセルフセンスセルSSC1との間のやり取りを可能にするために、セルフセンスセルSSC1に接続される。同様に、トランジスタ51は、トランジスタ44の制御ゲートを制御する第2の入力プログラミング信号P(a2)のゲート制御下でビット線BL1とセルフセンスセルSSC2との間のやり取りを可能にするために、セルフセンスセルSSC2に接続される。図6は、本発明のマルチセル構成40の選択されたセルフセンスセル10のプログラミン

グを可能にする図4の構成のさらに別の構成を示している。この場合、トランジスタ60および61は、それぞれのゲートプログラミング信号P(a1)およびP(a2)の制御下でのプログラミングのためにビット線BL1に接続され、読出動作は、入力線選択トランジスタ43および44とビット線トランジスタ45とを介してビット線BL2に関して行なわれる。

つまり、本発明の構成に従えば、不揮発性ブルガウンサブセルに接続される交差結合されたブルアソブレッチトランジスタに依存する不揮発性セルフセンスセルを有するプログラマブル回路装置を用いて、ゼロ電力消費で高速プログラミングおよび読出動作を行うことができる。ゼロ電力消費は、適用可能なセルまたはサブセルにDC電流がない場合にゼロDC電力状態時に行われる。しかしながら、ゼロ電力のセルまたはサブセルが接続される回路全体は、いくらかのDC電流を見越して、低電力であってもよい。ここに記載するセルフセンスセル10は、

セルのメモリ状態に関する情報のやり取りのためにセンスアンプが必要でないという点においてセルフセンスであると考える。その代わりに、セルフセンスセル10は、ビット線に対して直接論理出力を与えることができる。

【図1A】

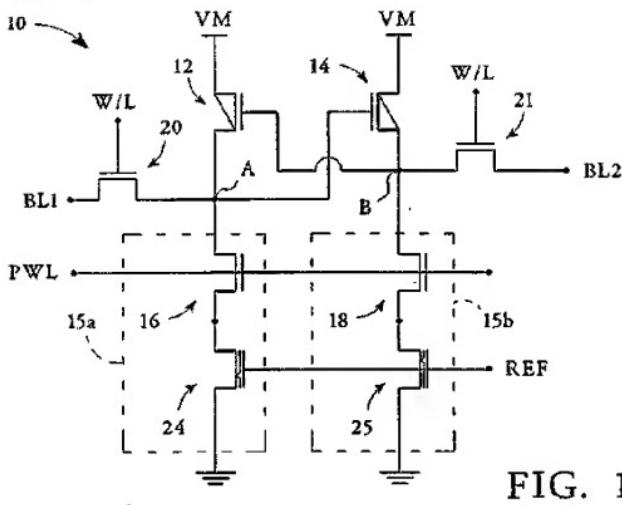


FIG. 1A

[図1]

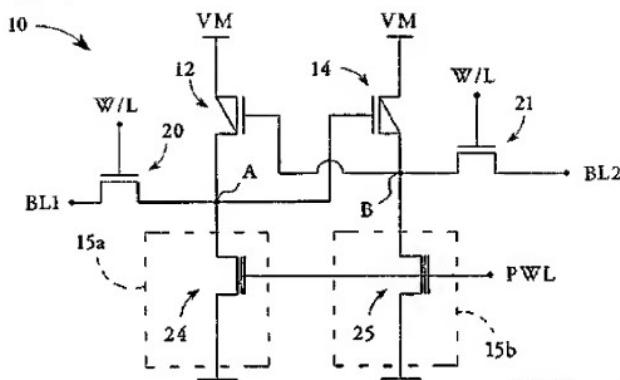


FIG. 1B

[図2]

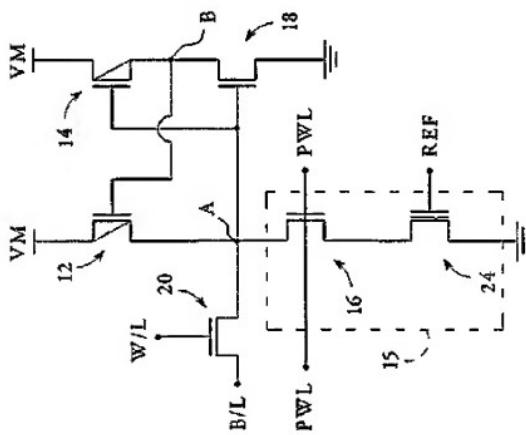


FIG. 2

[図3]

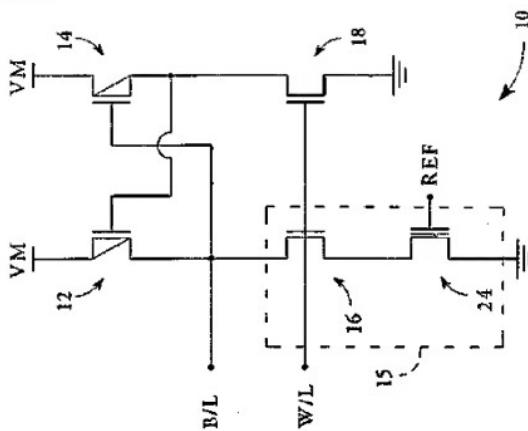


FIG. 3

[図4]

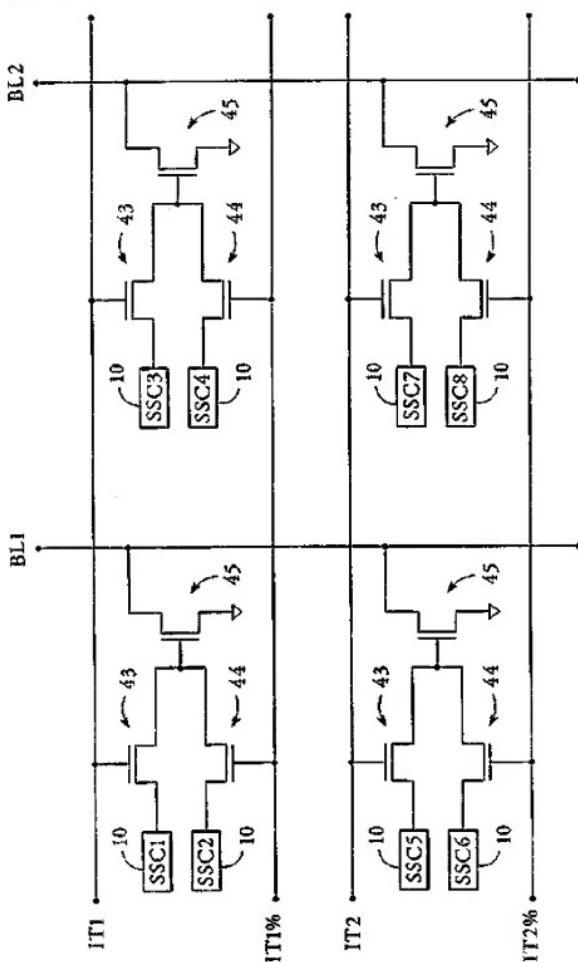


FIG. 4

40 ↗

[図5]

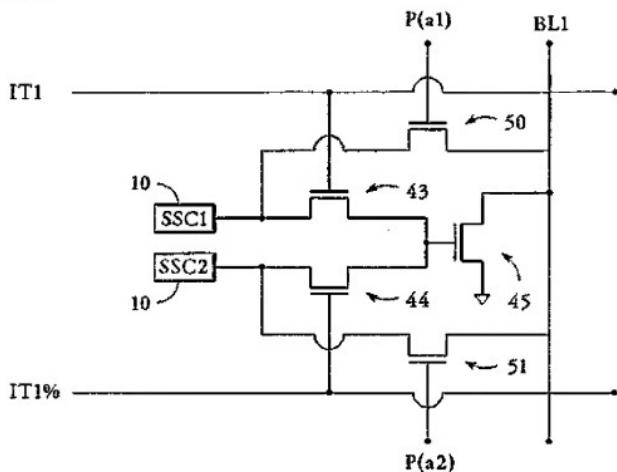


FIG. 5

[図6]

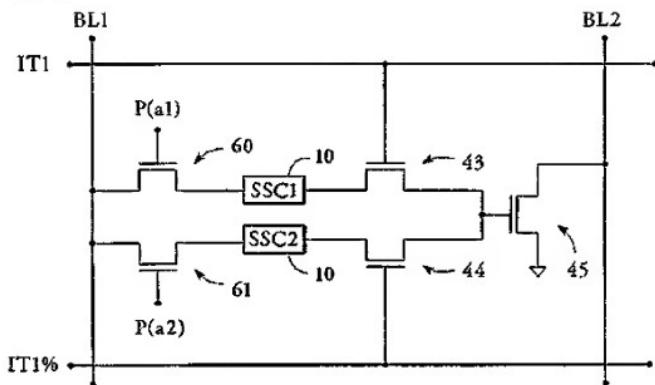


FIG. 6

【手続補正書】特許法第184条の7第1項

【提出日】1995年6月30日

【補正内容】

端子にそれぞれ結合され、前記制御ゲートは前記第1および第2のトランジスタの前記第1の端子とそれぞれ交差結合され、前記第1および第2のトランジスタの前記第2の端子は前記ラッチ手段の前記第3および第4の端子にそれぞれ結合される、不揮発性プログラマブル回路。

2. 前記ラッチ手段の前記第1および第2のトランジスタはpチャネル電界効果素子である、請求項1に記載の不揮発性プログラマブル回路。

3. 前記第1および第2の不揮発性セルはnチャネルトランジスタを備える、請求項1に記載の不揮発性プログラマブル回路。

4. それぞれ選択的に接続するための前記第1および第2の手段は第1および第2のゲートで駆動されるトランジスタを含み、前記第1および第2のゲート駆動トランジスタは、前記第1および第2のゲート駆動トランジスタに与えられるゲート信号に応答して、前記第1および第2の端子を対応する第1および第2のビット線に接続するのに効果的である、請求項1に記載の不揮発性プログラマブル回路。

5. 前記第1および第2の不揮発性セルは、制御ゲート端子を含む電界効果トランジスタを含み、前記制御ゲート端子は共通の制御信号を受け取るように接続される、請求項1に記載の不揮発性プログラマブル回路。

6. 前記第1および第2の不揮発性セルはそれぞれ第1

15. 不揮発性プログラマブル回路であって、

(a) 情報をストアしあわせ取りするための第1および第2の不揮発性セルフセンスプログラマブルセル手段と、

(b) 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段から情報を受け取るための1つのビット線手段と、

(c) 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段のうちの一方を選択するための選択手段と、

(d) 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段のうちの一方にストアされた情報をセンスするためのスイッチ手段とを備え、前記スイッチ手段は第1および第2の端子と制御ゲートとを含み、前記制御ゲートは前記選択手段に接続され、前記1つのビット線手段は前記第1の端子に接続され、前記第1および第2の不揮発性セルフセンスプログラマブルセル手段のうちの選択された1つが前記1つのビット線手段によってセンスされる、不揮発性プログラマブル回路。

16. 前記第1および第2の不揮発性セル手段をプログラミングするための手段をさらに備える、請求項15に記載の不揮発性プログラマブル回路。

17. 前記プログラミングのための手段は前記ビット線手段に接続される、請求項16に記載の不揮発性プログラ

マブル回路。

18. 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段に情報を送るための第2のビット線手段をさらに含む、請求項15に記載の不揮発性プログラマブル回路。

19. 前記第1および第2の不揮発性セルフセンスプログラマブルセル手段は、前記第2のビット線に接続されるプログラミングのための手段を介して前記第2のビット線からプログラミングされる、請求項18に記載の不揮発性プログラマブル回路。

20. 前記不揮発性プログラマブル回路はゼロ電力論理ゲートのアレイとして実現される、請求項15に記載の不揮発性プログラマブル回路。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/01437

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(6): G11C 11/04 US CL: 365/185,229 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/185,229		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	U.S.A. 5,065,362 (HERDT ET AL) 12 NOVEMBER 1991. SEE COLUMN 4, LINES 36-44	1-16
X	U.S.A. 4,980,959 (GUTERMAN ET AL.) 25 DECEMBER 1990. SEE COLUMN 8, LINES 36-55	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See parent family annex.		
<input checked="" type="checkbox"/> Social aspects of cited documents: "A" document defining the social aspects of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "C" document which bears directly on priority (claims) or which is used to establish the publication date of another citation or other document (as specified) "D" document referring to no one claim, e.g., exhibition or other source "E" document published prior to the international filing date but later than the priority date claimed		* ¹ later documents published after the international filing date or priority date which bear directly on the claimed invention in substance, the document being newly available since the invention * ² documents of particular relevance; the claimed invention cannot be compared with or cannot be compared to because no comparative step where the documents in neither alone * ³ documents of particular relevance; the claimed invention cannot be compared to because an inventive step which the document is capable of performing is not apparent from the document, such result having been obvious to a person skilled in the art * ⁴ document member of the same parent family
Date of the actual completion of the international search 25 APRIL 1995		Date of mailing of the international search report 01 MAY 1995
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20251 Facsimile No. (703) 305-2229		Authorized officer JOSEPH A. POPE <i>J. MacLean</i> Telephone No. (703) 305-2946

Form PCT/ISA/210 (revised since July 1992) w